

JFW
PATENT

Docket No. JCLA11797

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

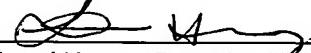
In re Application of : SHAO-CHUNG HU et al.
Application No. : 10/718,897
Filed : November 20,2003

For : STRUCTURE AND PROCESS OF METAL
: INTERCONNECTS

Certificate of Mailing
I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

June 24, 2004

(Date)


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

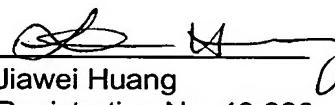
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 92131480 filed on November 11, 2003.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11797).

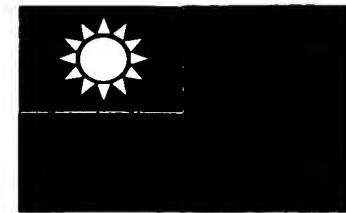
Date: 6/24/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/718.897

JCLIAII797



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 11 月 11 日
Application Date

申 請 案 號：092131480
Application No.

申 請 人：聯華電子股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2004 年 4 月 27 日
Issue Date

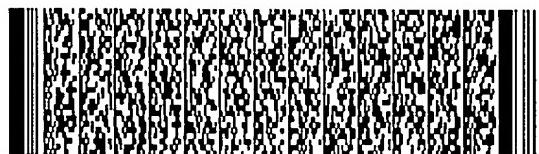
發文字號：09320368630
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|-------------------|-----------------------|---|
| 一 發明名稱 | 中文 | 金屬內連線結構及其製程 |
| | 英文 | STRUCTURE AND PROCESS OF METAL INTERCONNECTS |
| 二 發明人 (共3人) | 姓名 (中文) | 1. 胡紹中 2. 楊玉如 |
| | 姓名 (英文) | 1. HU, SHAO CHUNG 2. YANG, YU RU |
| | 國籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| | 住居所 (中 文) | 1. 台北市信義區松德路269巷14號4樓 2. 宜蘭市嵐峰路二段20號 |
| | 住居所 (英 文) | 1. 4F., No. 14, Lane 269, Sung-Te Rd., Taipei, Taiwan, R.O.C. 2. No. 20, Sec. 2, Lan-Feng Rd., Ilan City, Taiwan, R.O.C. |
| 三 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 聯華電子股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. United Microelectronics Corp. |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. No. 3, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 曹興誠 |
| | 代表人 (英文) | 1. TSAO, ROBERT H. C. |



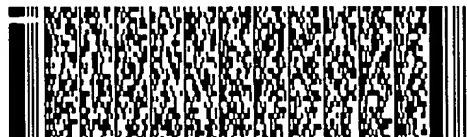
11797twf.pid

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|--|
| 一、 發明名稱 | 中文 | |
| | 英文 | |
| 二、 發明人 (共3人) | 姓名 (中文) | 3. 黃建中 |
| | 姓名 (英文) | 3. HUANG, CHIEN CHUNG |
| | 國籍 (中英文) | 3. 中華民國 TW |
| | 住居所 (中文) | 3. 台中縣大甲鎮育英路176巷7號 |
| | 住居所 (英文) | 3. No. 7, Lane 176, Yu-Yin Rd., Ta-Chia Chen, Taichung Hsien, Taiwan, R.O.C. |
| 三、 申請人 (共1人) | 名稱或 姓名 (中文) | |
| | 名稱或 姓名 (英文) | |
| | 國籍 (中英文) | |
| | 住居所 (營業所) (中文) | |
| | 住居所 (營業所) (英文) | |
| | 代表人 (中文) | |
| | 代表人 (英文) | |



四、中文發明摘要 (發明名稱：金屬內連線結構及其製程)

一種金屬內連線結構及其製程，此金屬內連線之製程係先在基底上形成具有開口的介電層，且於開口內填入金屬層，接著在介電層以及金屬層上形成膜層，並進行熱製程使金屬層與膜層產生反應，而在金屬層的表面形成保護層。之後，將未與金屬層反應的膜層移除，避免未反應之膜層造成金屬層間的短路。上述之保護層能夠用以保護金屬層，使此結構不易因金屬層氧化而對後續製程的穩定性及整體元件的效能造成不當的影響。

伍、(一)、本案代表圖為：第____3K_____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

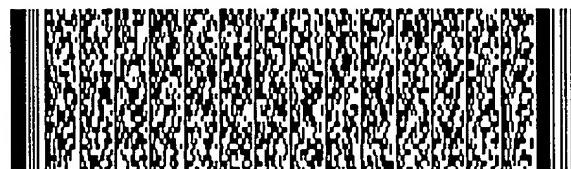
202、202a：介電層

204、204a：阻障層

206、206a：金屬層

六、英文發明摘要 (發明名稱：STRUCTURE AND PROCESS OF METAL INTERCONNECTS)

A process of metal interconnects is provided. An opening is formed on a dielectric layer. A metal layer is formed on the dielectric layer, and partially filled into the opening. A film layer is formed on the metal layer and the dielectric layer. The film layer is reacted with the metal layer during a thermal process, and a passive layer is formed on the upper surface of metal



四、中文發明摘要 (發明名稱：金屬內連線結構及其製程)

210、210a：膜層

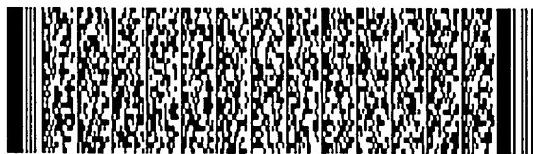
212、212a：保護層

300、300a：終止層

308、308a：開口

六、英文發明摘要 (發明名稱：STRUCTURE AND PROCESS OF METAL INTERCONNECTS)

layer. The portions of the film layer not reacted with the metal layer are removed to avoid short between the metal layers. The passive layer can protect the metal layer from oxidizing to keep the efficiency of the processing and the structure.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種半導體結構及其製程，且特別是有關於一種金屬內連線結構及其製程。

先前技術

隨著半導體製程進入深次微米(Deep Sub-micron)世代，積體電路中元件的積集度(Integration)得以大幅提昇。然而，在深次微米的製程中也會因為元件的特性與其材質而遇到一些問題。其中，因鋁金屬內連線本身材質的電阻值(Resistance)以及抗電致遷移能力(Electromigration Resistivity)等特性，不能滿足深次微米製程的需求，而為當今積體電路製程最急需解決的問題。

雖然在積體電路製程中，以鋁作為金屬導線的技術已經發展的相當成熟了，但是，在深次微米的半導體製程中，常利用銅取代鋁製作內連線。這是由於銅具有電子遷移阻抗值為鋁之30至100倍、介層窗阻抗值降低10至20倍以及銅之電阻值比鋁低30%之特點。因此利用銅導線製程配合使用低介電常數(Low K)材料之金屬間介電層(Inter-Metal Dielectrics)，可有效降低電阻電容延遲(RC Delay)以及增加抗電致遷移能力。

請參照第1圖，由於銅金屬不容易被蝕刻，因此銅製程中的金屬內連線大多都以金屬鑲嵌(Damascene)的技術來製作，也就是先提供基底100，且基底100上已形成有許多元件(未繪示)。之後再於基底100上形成介電層102a，



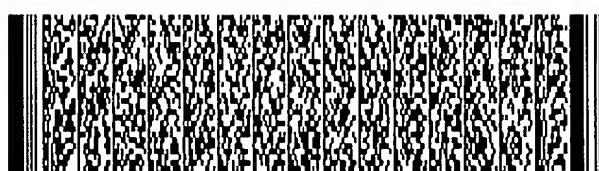
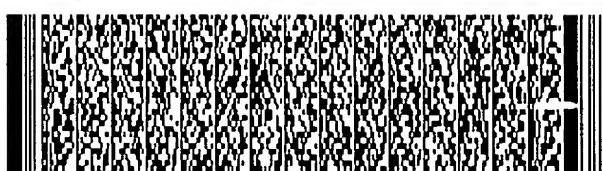
五、發明說明 (2)

覆蓋於此些元件上，且介電層102a 具有欲連接至基底100之導線區域之金屬鑲嵌開口108a，然後在此金屬鑲嵌開口108a之中形成阻障層104a，再形成銅金屬層110a以填滿金屬鑲嵌開口108a。之後，進行化學機械研磨法(Chemical Mechanical Polishing)移除金屬鑲嵌開口108a以外之多餘的銅金屬層110a。再於介電層102a及金屬層110a上形成另一介電層102 b，其具有欲連接至金屬層110a之金屬鑲嵌開口108b，然後在此金屬鑲嵌開口108b之中形成阻障層104b，再形成銅金屬層110b以填滿金屬鑲嵌開口108b。之後，進行化學機械研磨法移除金屬鑲嵌開口108b以外之多餘的銅金屬層110b，以形成金屬內連線結構。

然而，銅係屬於一種易氧化之金屬，所以在上述之金屬鑲嵌結構製程中，銅金屬層110a/110b 容易因氧化而在表面形成氧化銅，造成銅金屬層110a/110b 的電阻提高，導致所謂內連線效能降低之問題。另外，由於銅是一種較軟的金屬，且又容易因氧化而在表面生成氧化銅，而氧化銅又不夠緻密，因此使得銅表面的性質難以控制，如此將導致銅金屬層110a/110b 在溼蝕刻及溶劑清洗的製程中，可能會產生倒角輪廓，其例如是第1圖中之A、B處。另外，若是在銅金屬層110a/110b 的表面產生氧化銅，還可能會對銅金屬層110a/110b 與阻障層104a/104b 間的結合度產生負面影響。

發明內容

因此，本發明的目的就是提供一種金屬內連線結構及



五、發明說明 (3)

其製程，以避免其中之金屬層表面產生氧化而使其電阻值升高。

本發明的再一目的是提供一種金屬內連線結構及其製程，能夠擴大製程窗，使內連線之效能提高。

本發明提出一種金屬內連線結構，此結構包括有基底、第一介電層、第一金屬層以及第一保護層。其中，第一介電層中具有一第一開口，且第一開口內填有第一金屬層，而在未被第一介電層包覆的第一金屬層表面上則形成有第一保護層。

上述之金屬內連線結構更包括有第二介電層、第二金屬層以及第二保護層。其中，第二介電層係形成在第一介電層上，且第二介電層中具有一第二開口，而第二開口係穿過第一保護層而暴露出第一金屬層。第二金屬層係填於第二開口中，而第二保護層則係形成在未被第二介電層包覆的第二金屬層表面上。

本發明提出一種金屬內連線製程，此製程係先在已有許多元件形成於其上的基底上，形成第一介電層覆蓋這些元件。再於第一介電層中形成一第一開口，並於第一開口內填入第一障礙層及第一金屬層，接著在第一介電層及第一金屬層上形成第一膜層，並進行熱製程使第一膜層與第一金屬層在接觸面產生反應，而在第一金屬層表面形成第一保護層。之後，再移除第一膜層未與第一金屬層反應的部分。

而且，上述之金屬內連線製程更包括在第一介電層上



五、發明說明 (4)

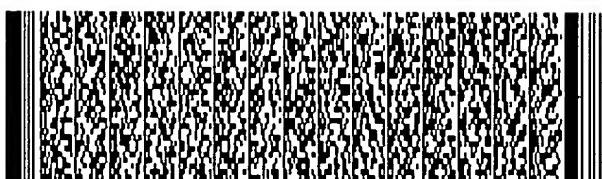
形成一第二介電層，並覆蓋於第一保護層上。再於第二介電層中形成第二開口，且第二開口會穿透第一保護層而暴露出第一金屬層。接著在第二開口內填入第二金屬層，且第二金屬層會與第一金屬層電性接觸。之後在第二介電層以及第二金屬層上形成一第二膜層，並進行一熱製程，以使第二膜層與第二金屬層反應，而於第二金屬層表面形成一第二保護層。然後，再移除第二膜層未與第二金屬層反應的部分。

由上述可知，本發明之金屬內連線結構係於金屬層表面上形成有保護層，所以可以避免金屬層在後續製程中，因產生非預期的氧化反應，而對整體元件的效能或是製程的穩定性產生不當的影響。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

第2A～2J圖是繪示本發明一較佳實施例的一種金屬內連線製程之步驟流程圖。請參照第2A圖，此製程係首先提供基底200，且基底200上已形成有許多元件（未繪示）。之後在基底200上形成介電層202覆蓋於這些元件上，並在介電層202中形成開口208，開口208例如是一欲形成雙重金屬鑲嵌結構之金屬鑲嵌開口或是欲形成金屬導線之溝渠(Trench)，或者為一欲形成插塞(Plug)之介層窗(Via)開口或接觸窗(Contact)開口或任何欲形成鑲嵌結構之開口



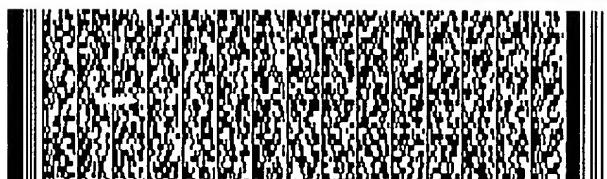
五、發明說明 (5)

(圖式中僅以欲形成金屬導線之溝渠表示)，而形成開口208之方法例如是微影蝕刻技術。

然後，請參照第2B圖，於開口208的表面上形成阻障層204，並覆蓋於介電層202之上。阻障層204的材質例如是氮化鉭(TaN)、氮化鈦或者鈦矽氮化物。以氮化鉭為例，形成阻障層204之方法例如是先以磁控DC濺鍍之方式沈積一層鉭金屬覆蓋介電層202，之後在含氮氣或氮氣之環境中，藉高溫將鉭氮化成氮化鉭。此外，阻障層204的形成方法還可以使用反應性濺鍍法(Sputtering)，利用成分為鉭的金屬靶，以氬氣與氮氣所混合之反應氣體離子轟擊金屬靶，經由離子轟擊而濺出的鉭，將與電漿內因解離反應所形成之氮原子形成氮化鉭，並沈積覆蓋於介電層202之上。

之後，請參照第2C圖，於阻障層204上形成金屬層206，且填滿開口208，金屬層206例如是由銅金屬所構成。形成銅金屬層206之方法例如是物理氣相沈積法(Physical Vapor Deposition, PVD)或是化學氣相沈積法(Chemical Vapor Deposition, CVD)。

請參照第2D圖，接著以化學機械研磨(Chemical Mechanical Polishing, CMP)製程或是蝕刻製程移除開口208以外之銅金屬層206及阻障層204，剩下開口208內之銅金屬層206及阻障層204。請參照第2E圖，然後在介電層202及金屬層206上沈積膜層210，且膜層210的沈積厚度例如是10埃～500埃，而膜層210之材質可以是導電材料或非



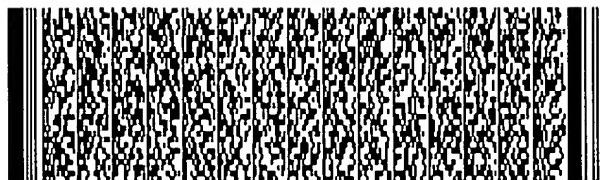
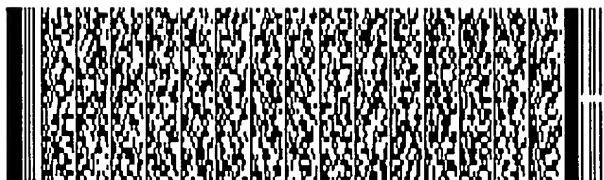
五、發明說明 (6)

導電材料，且導電材料例如是錫 (Sn)、鋁 (Al) 或是錫鋁合金 (Sn-Pb)。

請參照第2F圖，進行熱製程，以使膜層210與銅金屬層206產生反應而形成保護層212，由於膜層210在此熱製程中會與銅金屬層206產生固態溶解或是化學反應，且不會與介電層202產生任何溶解作用或化學反應，所以保護層212會形成在銅金屬層206的表面，以保護銅金屬層206之表面不易被氧化。且保護層212係由膜層210的材質及銅混合而成，例如是銅金屬的固溶體或是化合物。另外，熱製程的溫度係控制在一適當範圍內，例如是攝氏400度以下，避免溫度過高而對結構中之其他部分造成不良的影響，並可降低製程之熱預算。

請參照第2G圖，移除膜層210未與銅金屬層206反應的部分，其進行例如是化學機械研磨或是乾/溼式蝕刻，並以介電層202為化學機械研磨終止層 (CMP stop layer, CSL) / 蝕刻終止層 (etch stop layer) 以移除之。如此即完成一導電結構之製作，此導電結構例如是插塞結構、導線結構或是雙重金屬鑲嵌結構。

請繼續參照第2G圖，依照上述之方法所形成的導電結構包括介電層202、阻障層204、金屬層206以及保護層212。其中，介電層202係形成在基底200上，且介電層202中係形成有開口208，以暴露出基底200上之部分元件。此外，開口208的表面上更配置有阻障層204，而阻障層204上則係配置有金屬層206。其中，阻障層204可以防阻金屬



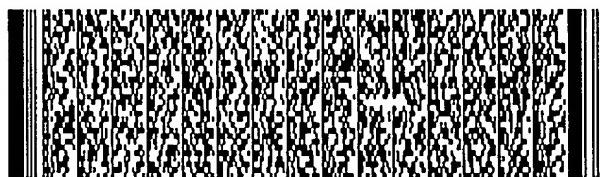
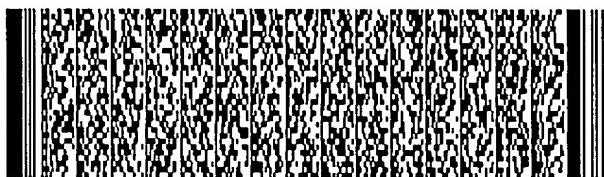
五、發明說明 (7)

層206在熱製程中離子擴散至例如是介電層202中，避免深層能階的問題產生。而金屬層206則係用以在後續製程中與其他金屬層作電性連接。另外，在金屬層206的表面上係形成有保護層212，其係用以保護金屬層206，使其表面不易氧化，避免金屬層206之電阻值提高。

在完成第2G圖所示之導線結構後，還可以繼續在此導線結構上形成與其電性連接之另一導電結構。請參照第2H圖，於介電層202以及保護層212上再形成具有開口208a之介電層202a，且開口208a會穿透保護層212，而暴露出銅金屬層206。其中，開口208a視開口208之結構而定而可以是雙重金屬鑲嵌開口或是溝渠，或者是一介層窗開口或接觸窗開口或任何欲形成鑲嵌結構之開口。之後於開口208a的表面形成阻障層204a，接著於阻障層204a上形成金屬層206a，且填滿開口208a，再以化學機械研磨法移除開口208a以外之銅金屬層206a及阻障層204a，剩下開口208a內之銅金屬層206a及阻障層204a。

請接著參照第2I圖，在介電層202a及金屬層206a上沈積膜層210a，並進行熱製程使膜層210a在與銅金屬層206a的接觸面產生反應而形成保護層212a，以保護銅金屬層206a的表面不易被氧化。請參照第2J圖，之後進行例如是化學機械研磨或是乾/溼式蝕刻，並以介電層202a為化學機械研磨終止層/蝕刻終止層，移除膜層210a未與銅金屬層206a反應的部分，即完成一導電結構。

在上述之說明中，金屬層206與金屬層206a之材質與

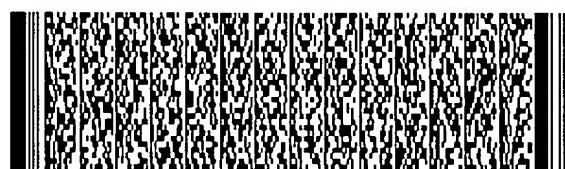
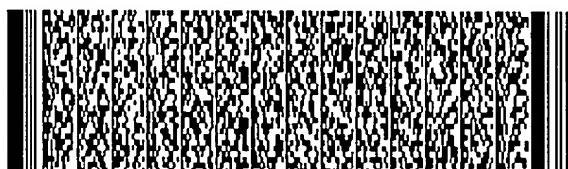


五、發明說明 (8)

形成方法可以是相似或相同的。而阻障層204a與阻障層204之材質與形成方法也可以是相似或相同的。且膜層210與膜層210a之材質與形成方法更可以是相似或相同的。

請繼續參照第2J圖，以上述之製程所形成之結構包括介電層202、阻障層204、金屬層206、保護層212、介電層202a、阻障層204a、金屬層206a以及保護層212a。其中，介電層202則係形成在基底200上，且介電層202中係形成有開口208，用以暴露出基底200上之部分元件。此外，開口208的表面上更配置有阻障層204，而阻障層204上則係配置有金屬層206。其中，阻障層204可以防阻金屬層206在熱製程中擴散離子至例如是介電層202中，避免深層能階的問題產生。另外，在金屬層206的表面上形成有保護層212，其係用以保護金屬層206，使其表面不易氧化，避免金屬層206之電阻值提高。而在介電層202以及保護層212的表面上，更配置有具有開口208a的介電層202a，且開口208a係穿透保護層212並暴露出部分之金屬層206。此外，開口208a的表面上更配置有阻障層204a，而阻障層204a上則係配置有金屬層206a。另外，在金屬層206a的表面上形成有保護層212a，其係用以保護金屬層206a，使其表面不易氧化，避免金屬層206a之電阻值提高。

在本發明另一較佳實施例中更包括在介電層上形成有終止層，例如是化學機械研磨終止層或是蝕刻終止層，用以保護介電層以及銅金屬層在化學機械研磨或是蝕刻製程中不會被過度磨損或蝕刻。

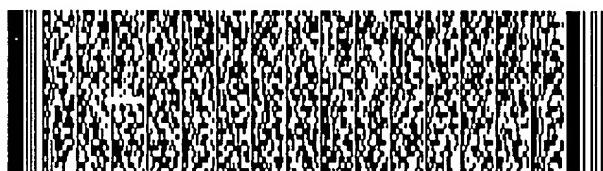


五、發明說明 (9)

第3A～3K圖係繪示本發明另一較佳實施例之一種金屬內連線製程之流程圖，在本實施例中，與上述實施例相同之結構與膜層即以相同之標號標示，且以下將不再對其材質或形成方法作贅述。

請參照第3A圖，先提供基底200，且基底200上已形成有許多元件（未繪示）。之後在基底200上形成介電層202覆蓋於此些元件上，並於介電層202之上形成終止層300，其例如是化學機械研磨終止層或是蝕刻終止層。請參照第3B圖，於終止層300上形成開口308穿透介電層202，用以暴露出基底200上之部分元件。請接著參照第3C圖，在終止層300以及開口308的表面上形成阻障層204。請參照第3D圖，於阻障層204上形成金屬層300。請參照第3E圖，以化學機械研磨製程或是蝕刻製程移除開口308之外的金屬層300以及阻障層204，直到終止層300暴露出來，而保留下開口308內之金屬層300及阻障層204。而且，當終止層300被暴露時，化學機械研磨製程或是蝕刻製程將會終止，因此終止層300可以避免過度的研磨或蝕刻，而對介電層202及金屬層300造成損壞。

請參照第3F圖，在金屬層206以及阻障層204之上表面上形成膜層210。然後請參照第3G圖，進行熱製程，使膜層210與銅金屬層206產生反應而形成保護層212，由於膜層210在此熱製程中會與銅金屬層206產生固態溶解或是化學反應，且不會與終止層300產生任何溶解作用或化學反應，所以保護層212會形成在銅金屬層206的表面，以保護

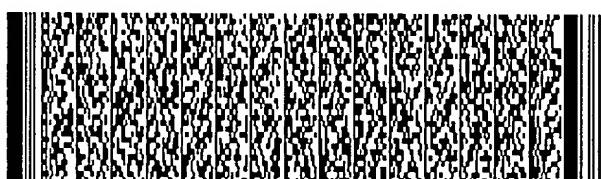


五、發明說明 (10)

銅金屬層206之表面不易氧化，避免金屬層206之電阻值提高。且此製程之溫度係維持在一定的範圍內，例如是攝氏400度以下，避免溫度過高而對結構中之其他部分造成不良的影響，並可降低製程之熱預算。請參照第3H圖，進行例如是化學機械研磨或是乾/溼式蝕刻，移除膜層210未與銅金屬層206反應的部分，即完成一導電結構之製作。

請繼續參照第3H圖，依照上述之方法所形成的導電結構包括介電層202、化學機械研磨終止層300、阻障層204、金屬層206以及保護層212。其中介電層202係形成於基底200上，而介電層202上則形成有終止層300，且終止層300之材質例如是 SiO_2 、 SiN 、 SiON 、 SiC 、 SiCO 或是 Si-OCN 。此外，終止層300與介電層202中係形成有開口308，用以暴露出基底200上之部分元件，且開口308的表面上更配置有阻障層204，而阻障層204上則係配置有金屬層206。另外，在金屬層206的表面上形成有保護層212，其係用以保護金屬層206，使其表面不易氧化，避免金屬層206之電阻值提高。

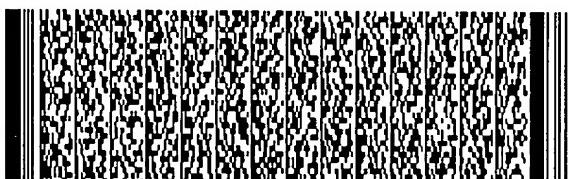
在完成第3H圖所示之導線結構後，還可以繼續在此導線結構上形成與其電性連接之另一導電結構。請參照第3I圖，於終止層300以及保護層212上再形成另一介電層202a，並於介電層202a上形成終止層300a，再於終止層300a上形成開口308a，且開口308a會穿透介電層202a以及保護層212，暴露出銅金屬層206。其中，開口308a視開口308之結構而定而可以雙重金屬鑲嵌開口或是溝渠，或者



五、發明說明 (11)

為一介層窗開口或接觸窗開口或任何欲形成鑲嵌結構之開口。之後於開口308a的表面形成阻障層204a，接著於阻障層204a上形成金屬層206a，且填滿開口308a，再以化學機械研磨製程或是蝕刻製程移除開口308a以外之銅金屬層300a及阻障層204a，直到終止層300a暴露出來，而保留下開口308a內之銅金屬層206a及阻障層204a。請接著參照第3J圖，在終止層300a及金屬層206a上沈積膜層210a。再參照第3K圖，進行熱製程，使膜層210a與銅金屬層206a產生反應而形成保護層212a，由於膜層210a在此熱製程中會與銅金屬層206a產生固態溶解或是化學反應，且不會與終止層300a產生任何溶解作用或化學反應，所以保護層212a會形成在銅金屬層206a的表面，以保護銅金屬層206a不易被氧化。之後進行例如是化學機械研磨或是乾/溼式蝕刻，移除膜層210a未與銅金屬層206a反應的部分，即完成一導電結構。

請再參照第3K圖，以上述之製程所形成之結構包括介電層202、終止層300、阻障層204、金屬層206、保護層212、介電層202a、終止層300a、金屬層206a、阻障層204a以及保護層212a。其中，介電層202係形成在基底200上，且終止層300係形成在介電層202上，且終止層300與介電層202中形成有開口308，暴露出基底200上之部分元件。此外，開口308的表面上更配置有阻障層204，而阻障層204上則係配置有金屬層206。另外，在金屬層206的表面上形成有保護層212，其係用以保護金屬層206，使其表



五、發明說明 (12)

面不易氧化，避免金屬層206之電阻值提高。而在終止層300以及保護層212的表面上，更配置有具有開口308a的介電層202a，且開口308a係穿透介電層202a以及保護層212，並暴露出部分之金屬層206。此外，開口308a的表面上更配置有阻障層204a，而阻障層204a上則係配置有金屬層206a。另外，在金屬層206a的表面上形成有保護層212a，其係用以保護金屬層206a，使其表面不易氧化，避免金屬層206a之電阻值提高。

在本發明之實施例中，是以銅金屬為例做說明，然而，本方法也可以適用於其他使用各種易氧化之金屬材質的製程，並不限定於使用銅金屬之金屬內連線製程。

本發明在易氧化的金屬層上形成一層用以保護金屬層表面不被氧化的保護層，以使金屬層保持原有之特性與電性，而且可以避免在蝕刻金屬層時發生倒角輪廓(undercut profile)的情形，另外還能保有金屬層與阻障層間原有之結合度，使其不會因金屬層表面被氧化而降低結合度。因此本發明之方法與結構可以改善易氧化之金屬的可靠度，並擴大製程窗。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知技術之金屬內連線結構剖面圖。

第2A～2J圖是本發明中一較佳實施例之金屬內連線製程之流程圖。

第3A～3K圖是本發明中另一較佳實施例之金屬內連線製程之流程圖。

【圖式標示說明】

100a、100b、206、206a：金屬層

102a、102b、202、202a：介電層

104a、104b、204、204a：阻障層

108a、108b、208、208a、308、308a：開口

210、210a：膜層

212、212a：保護層

300、300a：終止層

A、B：倒角輪廓



六、申請專利範圍

1. 一種金屬內連線製程，包括：

在一第一介電層中形成一第一開口；

在該第一開口內填入一第一金屬層；

在該第一介電層上以及該第一金屬層上形成一第一膜層；

進行一熱製程，以使該第一金屬層與該第一膜層產生反應，而於該第一金屬層之表面形成一第一保護層；以及移除未反應之該第一膜層。

2. 如申請專利範圍第1項所述之金屬內連線製程，其中該第一金屬層之材質包括銅。

3. 如申請專利範圍第1項所述之金屬內連線製程，其中該第一膜層之材質包括一導電性材料或是一非導電性材料。

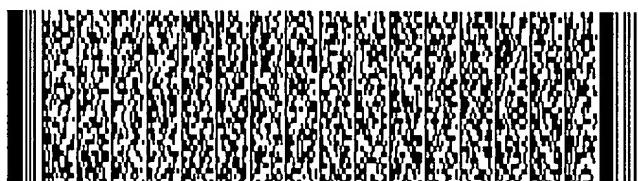
4. 如申請專利範圍第3項所述之金屬內連線製程，其中該導電性材料包括錫、鋁或是錫鉛合金。

5. 如申請專利範圍第1項所述之金屬內連線製程，其中該第一膜層之厚度係介於10埃至500埃。

6. 如申請專利範圍第1項所述之金屬內連線製程，其中該熱製程之溫度係低於攝氏400度。

7. 如申請專利範圍第1項所述之金屬內連線製程，其中在該第一介電層中形成該第一開口之前，更包括在該第一介電層之表面上形成一第一終止層。

8. 如申請專利範圍第1項所述之金屬內連線製程，在移除未反應之該膜層之後，更包括：



六、申請專利範圍

在該第一介電層上形成一第二介電層，覆蓋該第一保護層；

在該第二介電層中形成一第二開口，該第二開口會穿過該第一保護層而暴露出該第一金屬層；

在該第二開口內填入一第二金屬層，且該第二金屬層會與該第一金屬層電性接觸；

在該第二介電層上以及該第二金屬層上形成一第二膜層；

進行一熱製程，以使該第二膜層與該第二金屬層反應，而於該第二金屬層之表面形成一第二保護層；以及移除未反應之該第二膜層。

9. 如申請專利範圍第8項所述之金屬內連線製程，其中該第二金屬層之材質包括銅。

10. 如申請專利範圍第8項所述之金屬內連線製程，其中該第二膜層之材質包括一導電性材料或是一非導電性材料。

11. 如申請專利範圍第10項所述之金屬內連線製程，其中該導電性材料包括錫、鋁或是錫鉛合金。

12. 如申請專利範圍第8項所述之金屬內連線製程，其中該第二膜層之厚度係介於10埃至500埃。

13. 如申請專利範圍第8項所述之金屬內連線製程，其中該熱製程之溫度係低於攝氏400度。

14. 如申請專利範圍第8項所述之金屬內連線製程，其中在該第二介電層中形成該第二開口之前，更包括在該第



六、申請專利範圍

二介電層之表面上形成一第二終止層。

15. 一種金屬內連線結構，包括：

- 一第一介電層，該第一介電層中具有一第一開口；
- 一第一金屬層，填於該第一開口內；
- 一第一保護層，形成在未被該第一介電層包覆之該第一金屬層表面上。

16. 如申請專利範圍第15項所述之金屬內連線結構，其中該第一金屬層之材質包括銅。

17. 如申請專利範圍第15項所述之金屬內連線結構，更包括一第一終止層，配置在該第一介電層之表面上，而該第一開口係形成在該第一介電層以及該第一終止層中。

18. 如申請專利範圍第15項所述之金屬內連線結構，更包括：

一第二介電層，形成在該第一介電層上，其中該第二介電層中具有一第二開口，且該第二開口係穿過該第一保護層而暴露出該第一金屬層；

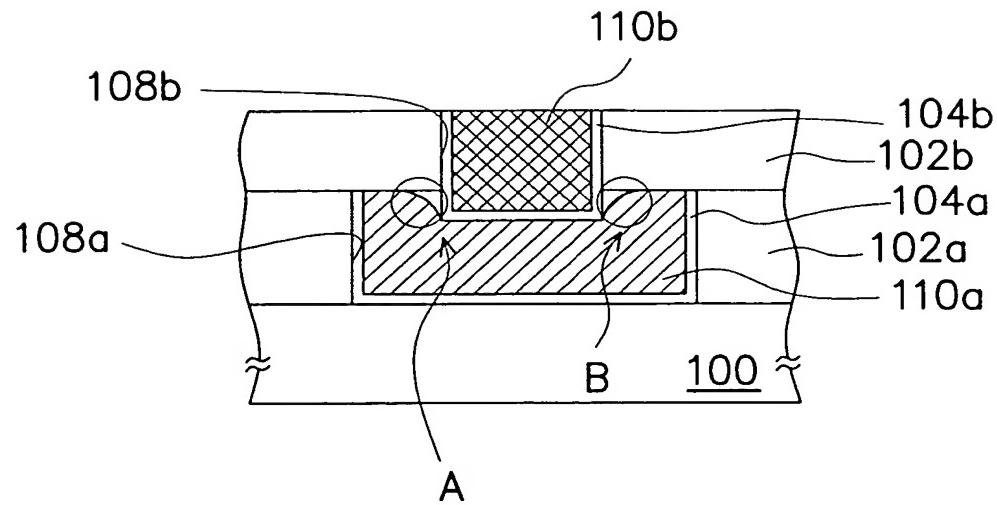
一第二金屬層，填於該第二開口內；以及

一第二保護層，形成在未被該第二介電層包覆之該第二金屬層表面上。

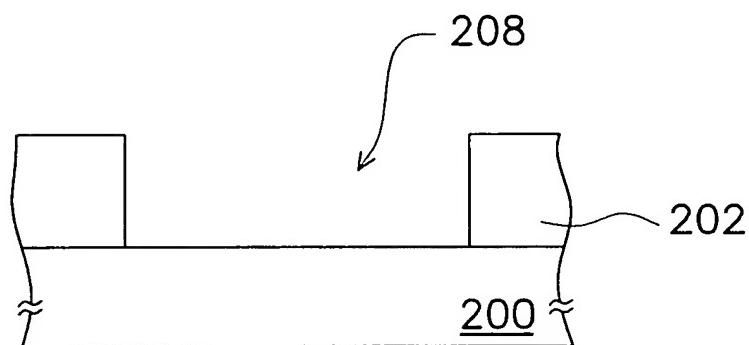
19. 如申請專利範圍第18項所述之金屬內連線結構，其中該第二金屬層之材質包括銅。

20. 如申請專利範圍第18項所述之金屬內連線結構，更包括一第二終止層，配置在該第二介電層之表面上，而該第二開口係形成在該第二介電層以及該第二終止層中。

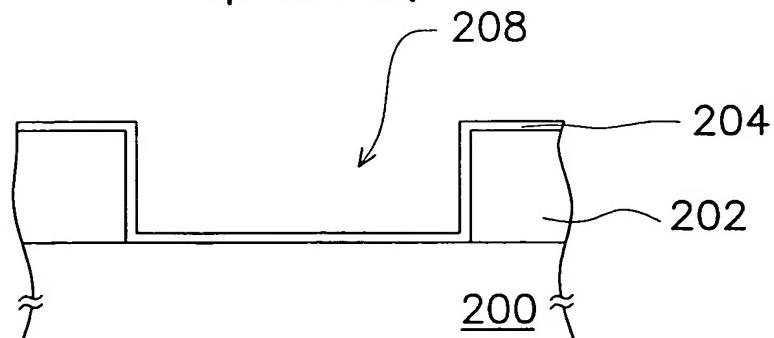




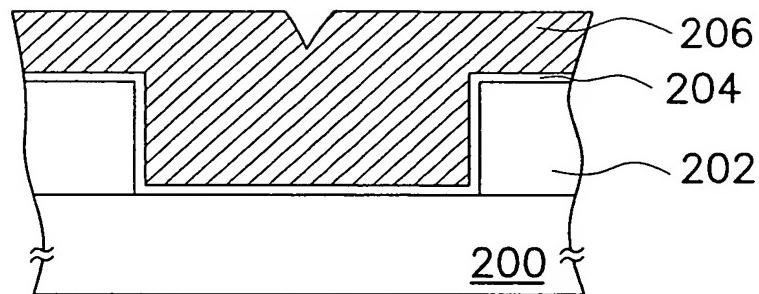
第 1 圖



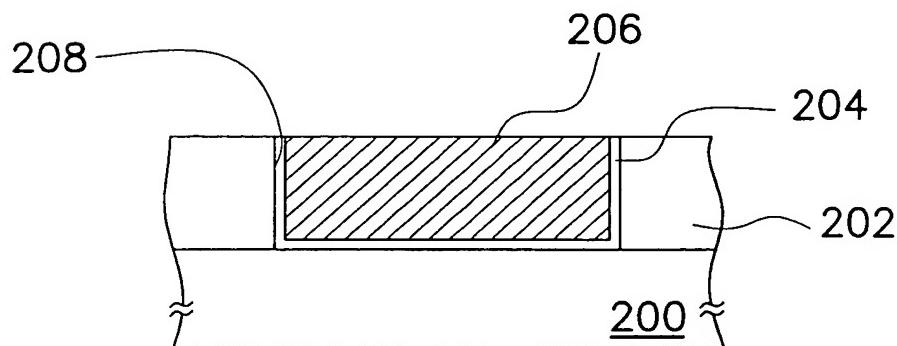
第 2A 圖



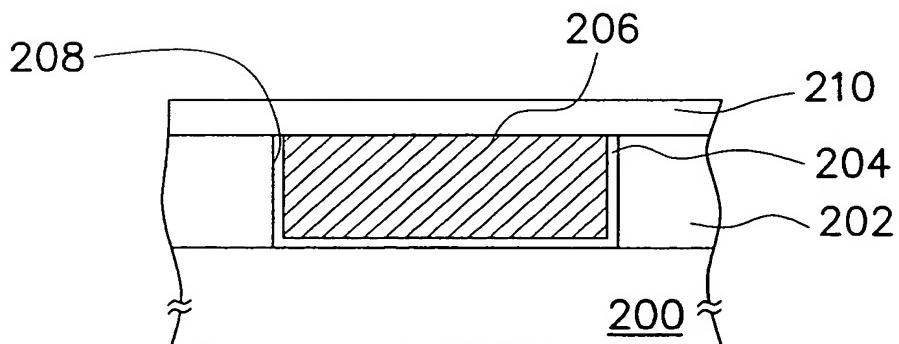
第 2B 圖



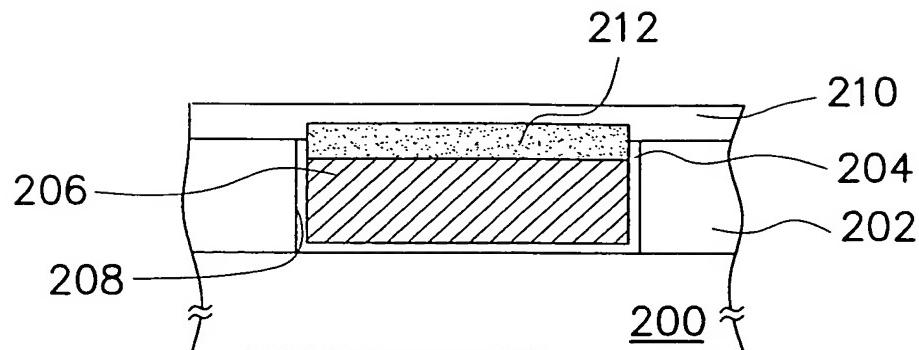
第 2C 圖



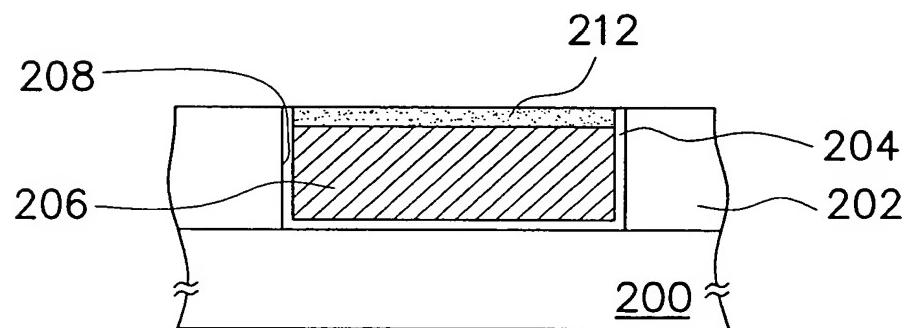
第 2D 圖



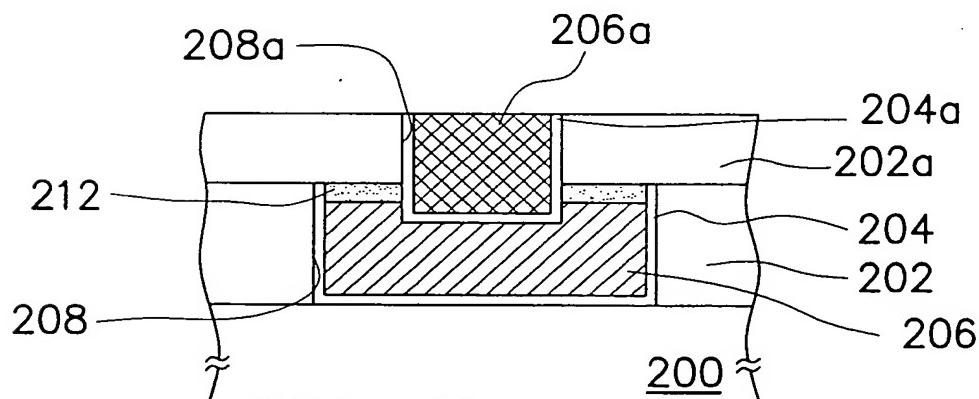
第 2E 圖



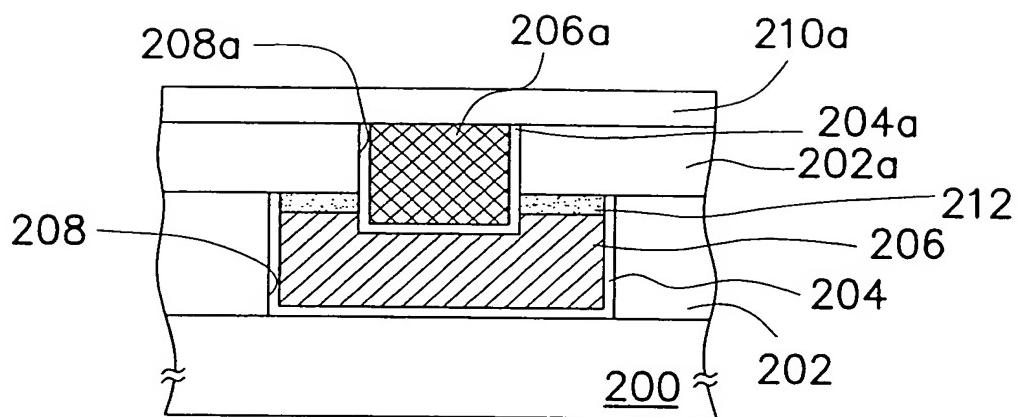
第 2F 圖



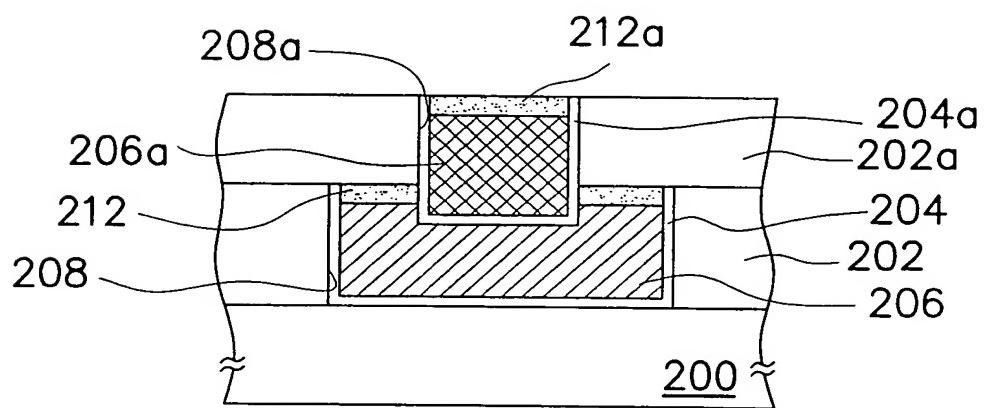
第 2G 圖



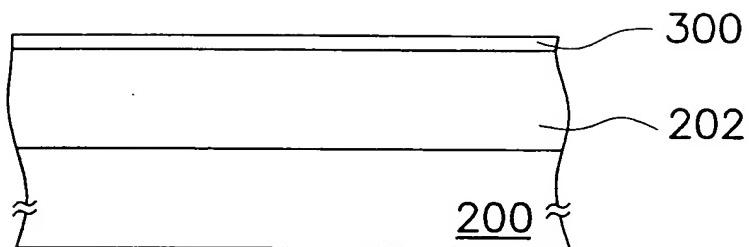
第 2H 圖



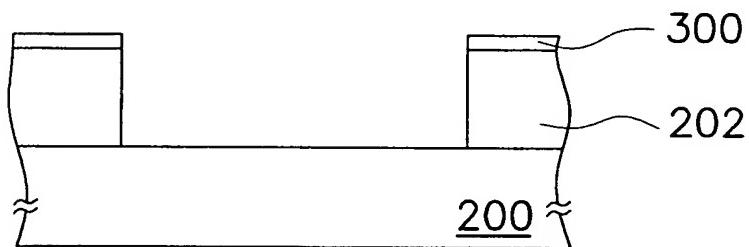
第 2I 圖



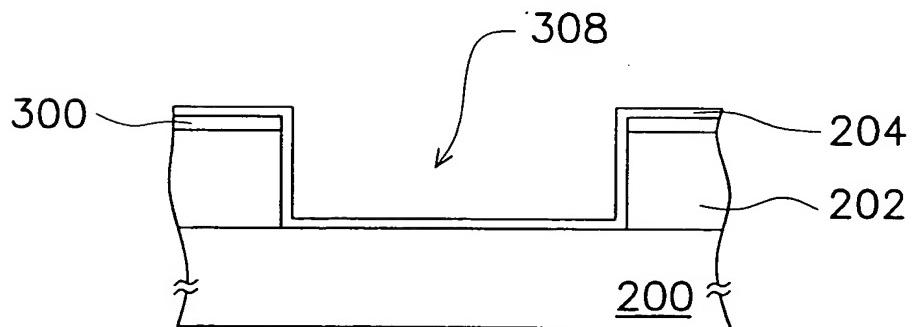
第 2J 圖



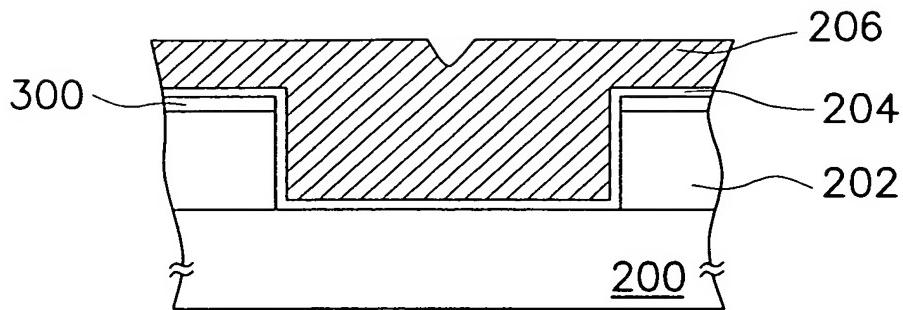
第 3A 圖



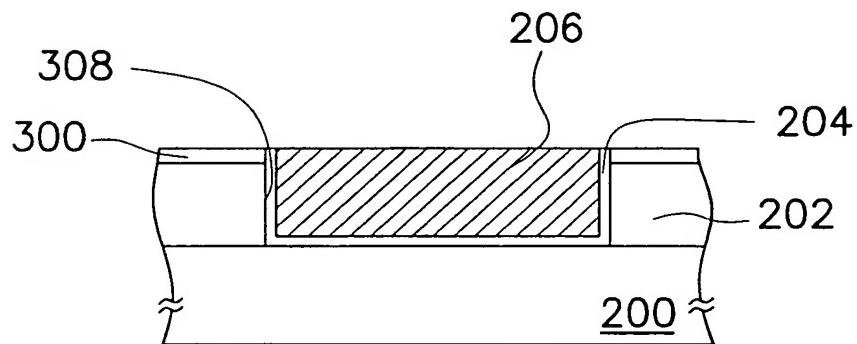
第 3B 圖



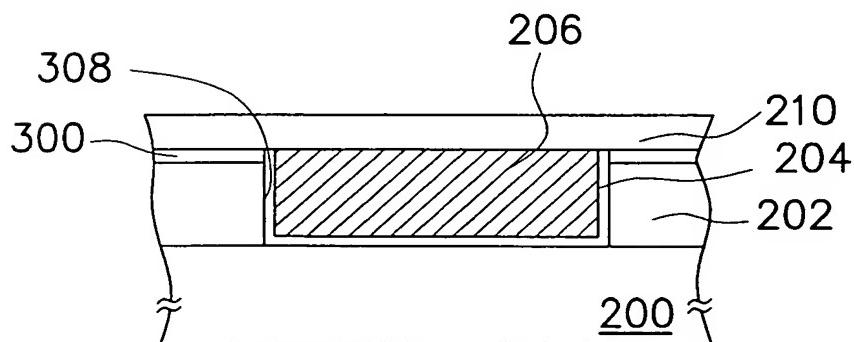
第 3C 圖



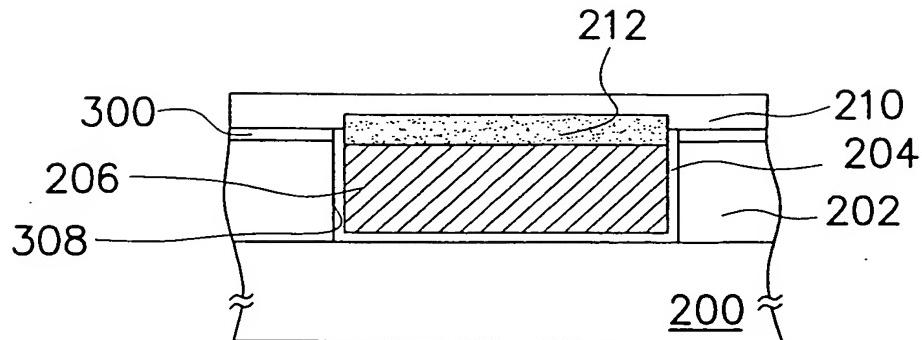
第3D圖



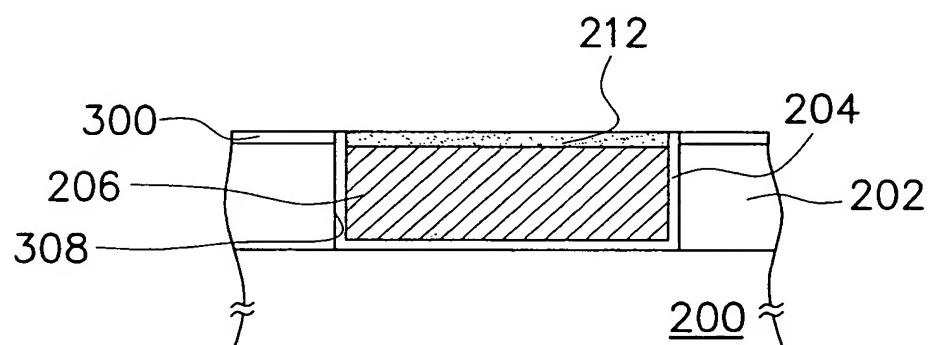
第3E圖



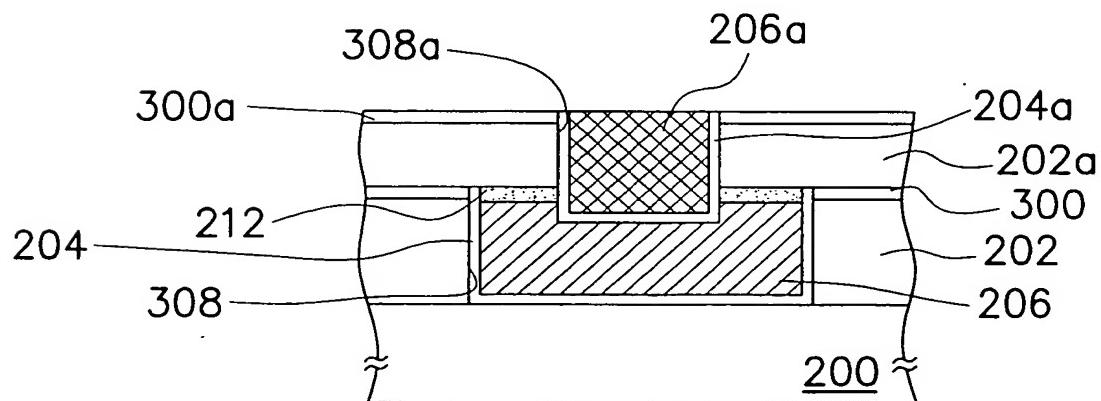
第3F圖



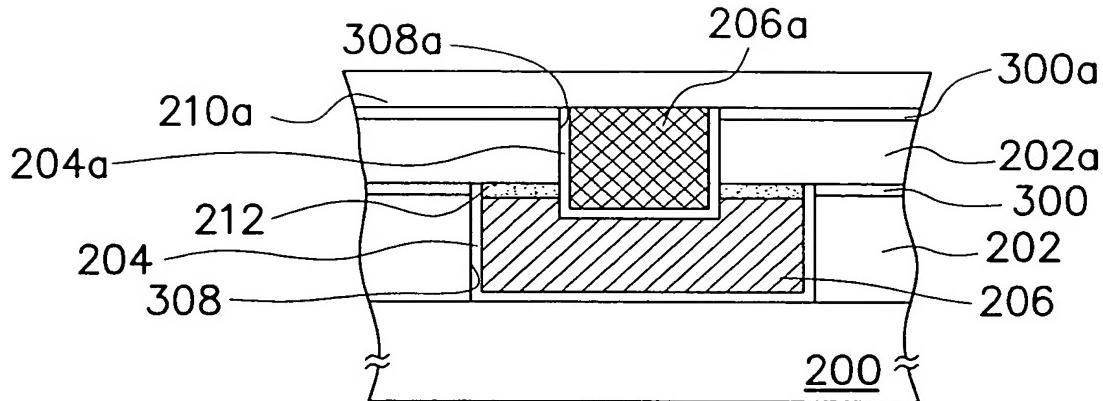
第 3G 圖



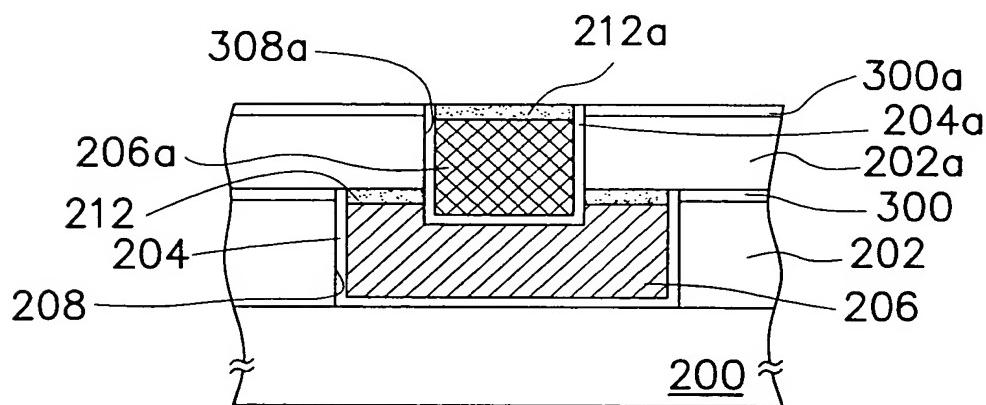
第 3H 圖



第 3I 圖

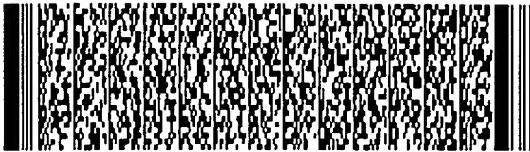


第3J圖

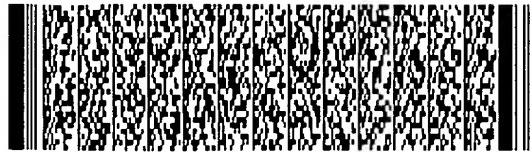


第3K圖

第 1/21 頁



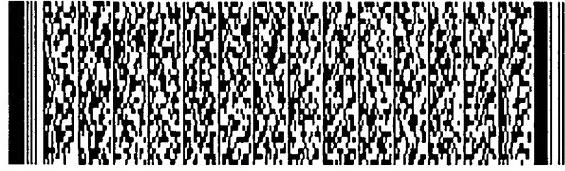
第 1/21 頁



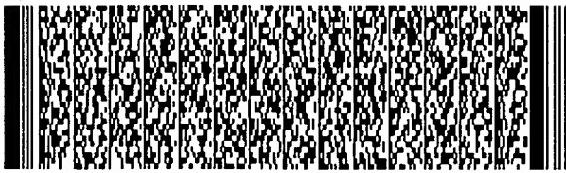
第 2/21 頁



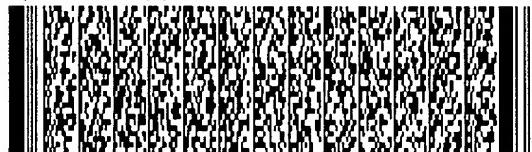
第 3/21 頁



第 3/21 頁



第 4/21 頁



第 5/21 頁



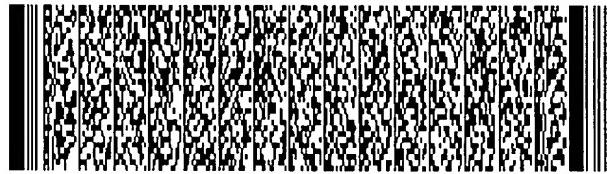
第 6/21 頁



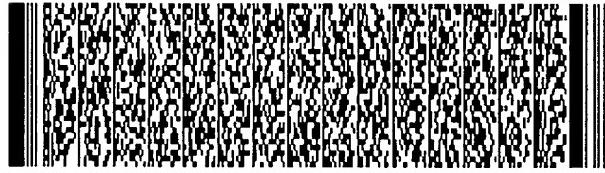
第 6/21 頁



第 7/21 頁



第 7/21 頁



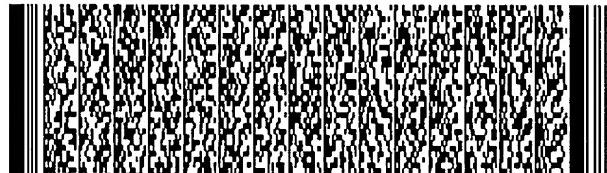
第 8/21 頁



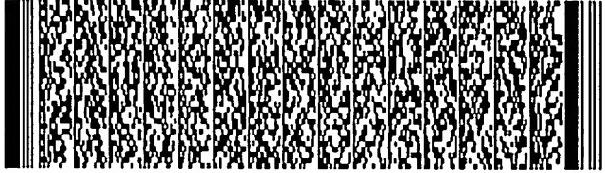
第 8/21 頁



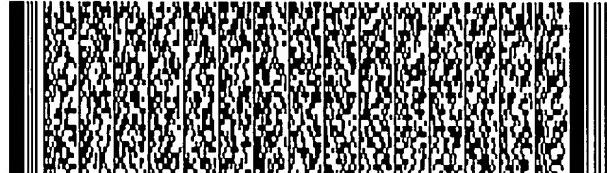
第 9/21 頁



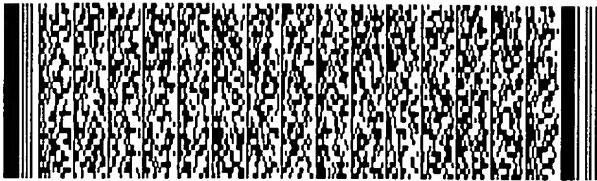
第 9/21 頁



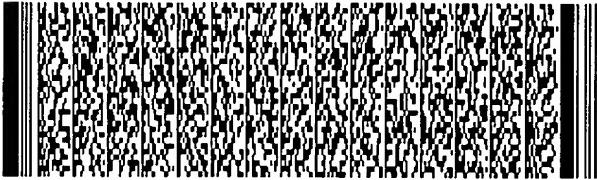
第 10/21 頁



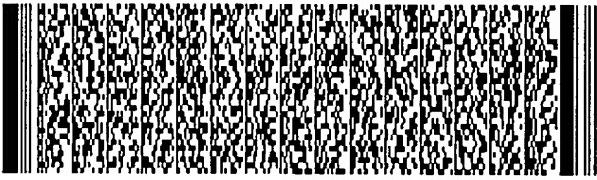
第 10/21 頁



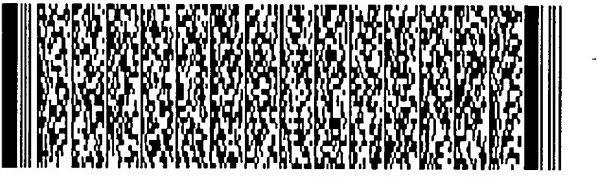
第 11/21 頁



第 12/21 頁



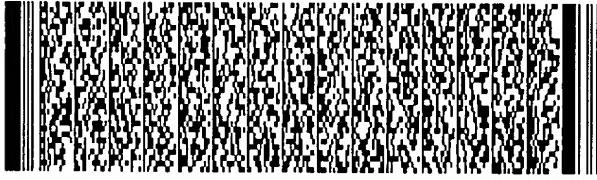
第 13/21 頁



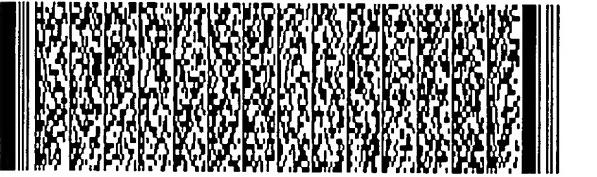
第 14/21 頁



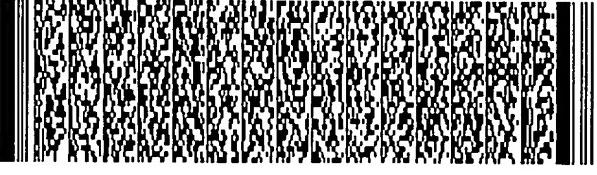
第 15/21 頁



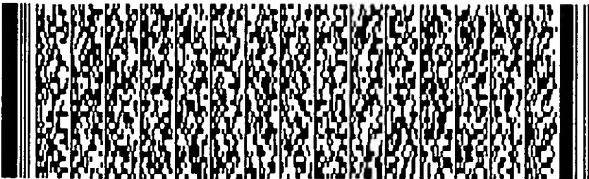
第 16/21 頁



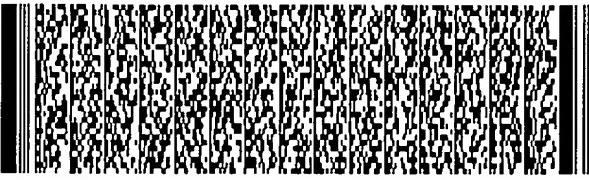
第 17/21 頁



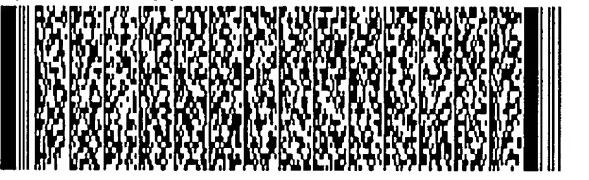
第 11/21 頁



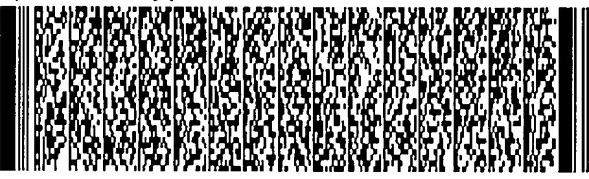
第 12/21 頁



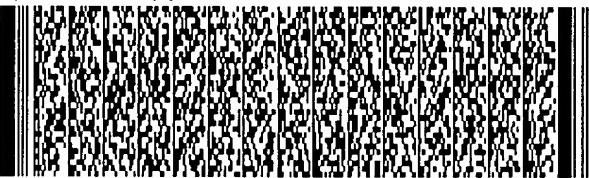
第 13/21 頁



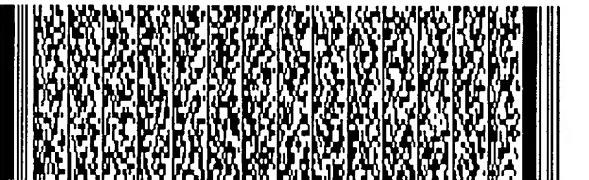
第 14/21 頁



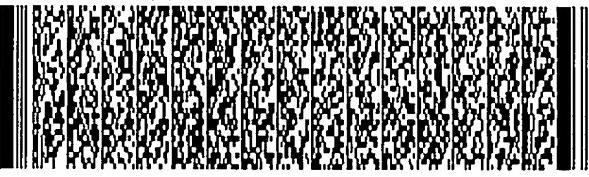
第 15/21 頁



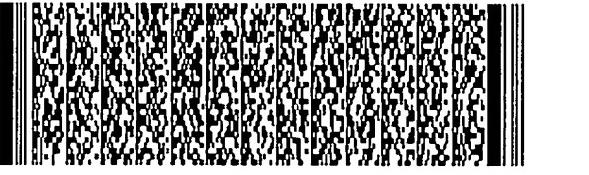
第 16/21 頁



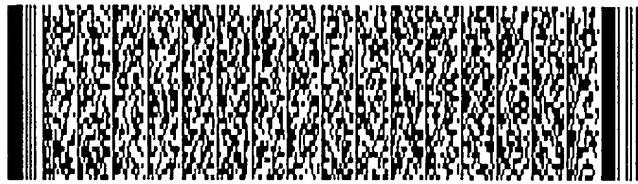
第 17/21 頁



第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

